

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-182198

(43)Date of publication of application : 08.08.1991

(51)Int.Cl.

H04Q 9/00

(21)Application number : 01-320850

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 11.12.1989

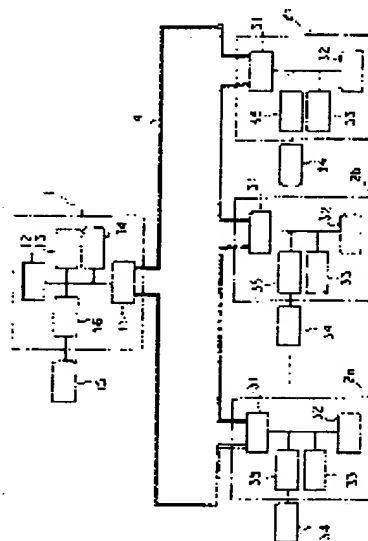
(72)Inventor : HATANO MASAHIRO

(54) DATA TRANSMISSION SYSTEM

(57)Abstract:

PURPOSE: To accelerate the speed of an initial setting at the start of a system and to make the parameter maintenance concerning the analog input of each slave station by storing an initial setting data including a parameter concerning the analog input of each slave station to the non-volatile memory of the main station.

CONSTITUTION: A non-volatile memory 14 of a semiconductor memory storing the initial set data of respective slave stations 2a-2n including the parameter concerning the analog input of the respective slave stations 2a-2b, is provided on a main station 1. Also, a CPU 12 to execute the control of this non-volatile memory 4 and a transmission control part 11 is provided. And, this initial setting means is realized by the CPU 12 and a memory part. Thus, the necessity to input the parameter concerning the analog input of slave stations 2a-2n is eliminated and the maintenance is facilitated and the time necessary for the initial setting to the respective slave stations at the start of the system can be shortened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(p. 683, left column, line 45 through p. 684, right column, line 15)

Next, the operation is explained. Initial setting data of each of the slave stations 2a through 2n including parameters concerning analogue input for each of the slave stations 2a through 2n is input to the master station 1 by using a terminal device (not shown). Then, it is stored in the non-volatile memory 14 of the master station 1. When the master station 1 is powered on, initial setting data of its own station is written into the shared memory 116 by the CPU 12, and the CPU 111 of the transmission control unit 1 retrieves the data and performs initial setting of the transmission control unit 11 (Step ST11). Next, the initial setting data of each of the slave stations 2a through 2n is retrieved from the non-volatile memory 4 and written into the shared memory 116, so as to introduce each of the slave stations 2a through 2n into the system. Then, the CPU 111 retrieves the data from the shared memory 116, and transmits the data sequentially to the transmission channel 4 via the transmission controller 114 and the driver/receiver 115 (Step ST 12). Each of the slave stations 2a through 2n receives the initial setting data to its own station and performs initialization of own station. Thus, each of the slave stations 2a through 2n is introduced into the system.

When data to be transmitted to each of the slave stations 2a through 2n exists in the master station 1, the CPU 12 writes transmission data into the shared memory 116. Then, the CPU 111 of the transmission control unit 11 once stores the data into the RAM 113. The CPU 111 retrieves the data from the RAM 113 and transmits to the transmission channel 4 via the transmission controller 114 and the driver/receiver 115 (Step SP14, ST15) when it gets the timing to access the slave stations 2a through 2n that transmit the data. At the time, if there is no data to transmit, only a polling signal is transmitted (Step ST16).

When the transmission control units 31 in the slave stations 2a through 2n receive the transmission data or the polling signal transmitted from the master station 1, the slave stations 2a through 2n transmit the data input from the external device 34 to the master station 1. The master station 1 receives the data via the driver/receiver 115 and the transmission controller 114, and once stores the data in the RAM 113. Then, the CPU 111 of the transmission control unit 11 writes the data in the RAM 113 into the shared memory 116. The CPU 12 retrieves the data from the shared memory 116. Thus, field data accumulated at the slave stations 2a through 2n is received by the CPU 12 (Steps ST17, ST18 and ST20).

Then, when a failure occurs in a certain slave station 2a to 2n, for example, in the slave station 2a, the slave station 2a is separated from the system. The CPU 12 learns this through the transmission control unit 11, and presents an alarm display to the external device 15 (Steps ST 13 and ST22). When an operator recognizes this alarm display and

performs a prescribed confirmation operation, the CPU 12 provides a transmission direction of a restart command to the transmission control unit 11, and the transmission control unit 11 transmits the restart command to the transmission channel 4 (Steps ST 23 and ST24). The restart command functions repeatedly until the slave station 2a wherein the failure occurs transmits an initialization request response. The initialization request response is transmitted when the failure in the slave station 2a is recovered, and the slave station 2a receives the restart command. Then, the CPU 12 receives the response via the transmission control unit 11, writes the initial setting data of the slave station 2a stored in the non-volatile 14 into the shared memory 116, and let it transmitted to the transmission control unit 11 (Step ST25).

第 2 図

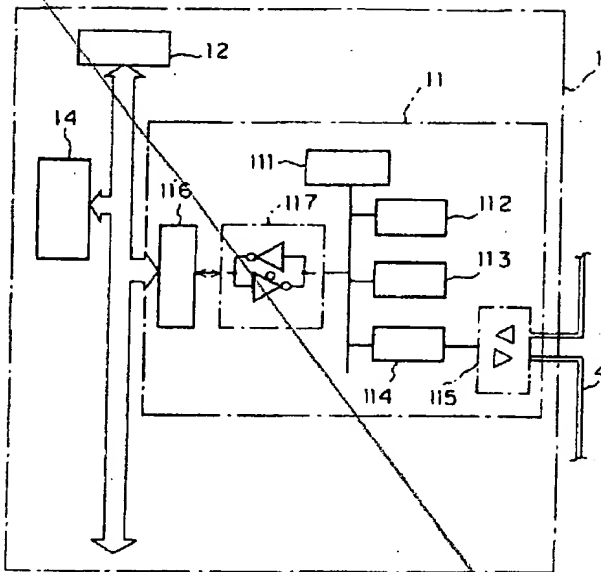
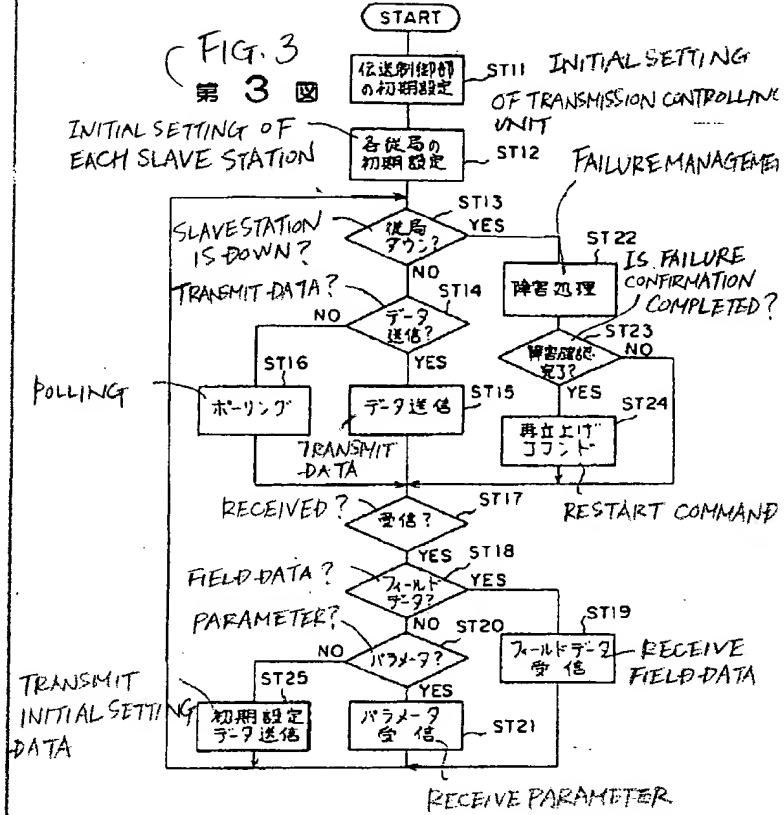
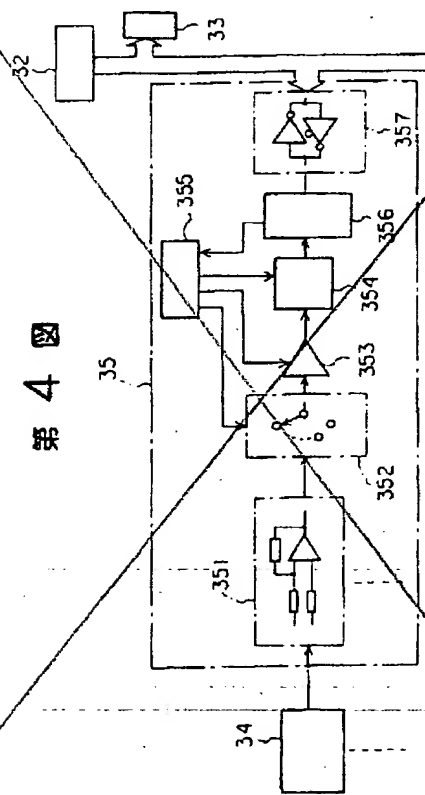


FIG. 3

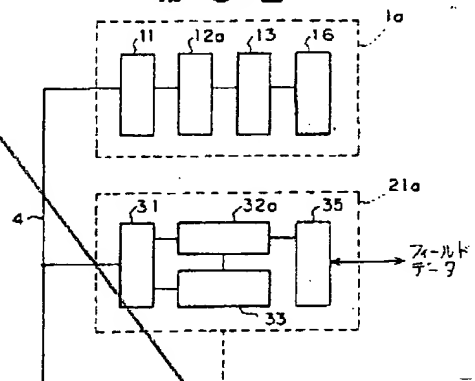
第 3 図



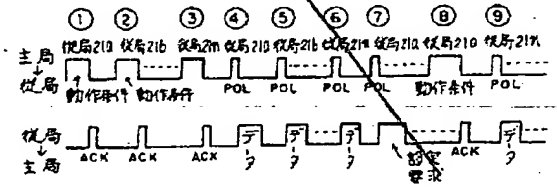
第 4 図



第 5 図



第 6 図



(j)

3/31/5
構成としては、端末
後旧設に初期化
レスポンスを出すまで
ミコマン送るを前

⑩ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

平3-182198

⑬ Int. Cl. 5

H 04 Q 9/00

識別記号

3 1 1 H

庁内整理番号

7060-5K

⑭ 公開 平成3年(1991)8月8日

審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 データ伝送システム

⑯ 特 願 平1-320850

⑰ 出 願 平1(1989)12月11日

⑱ 発 明 者 畑 野 征 弘 長崎県長崎市丸尾町6番14号 三菱電機株式会社長崎製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 田澤 博昭 外2名

明 細 書

1. 発明の名称

データ伝送システム

2. 特許請求の範囲

伝送路に接続された複数の従局と、前記伝送路を介して前記各従局とデータの授受を行う伝送制御部を有する集中監視装置とを備えたデータ伝送システムにおいて、前記各従局に、各従局に入力するアナログ入力に関するパラメータを前記集中監視装置から受信して、受信したパラメータによってアナログ入力の入力部のパラメータ設定を行うパラメータ設定部を設け、前記集中監視装置に、前記各従局の初期設定データを格納する不揮発性メモリと、前記不揮発性メモリ内の前記各従局のアナログ入力に関するパラメータを含む初期設定データを前記各従局に送信する初期設定手段とを設けたことを特徴とするデータ伝送システム。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、アナログ入力を扱う各従局の初期

設定データの設定を効率的に行うことができるデータ伝送システムに関するものである。

〔従来の技術〕

第5図は例えば特公平1-29464号公報に示された従来のデータ伝送システムを示す構成図である。第5図において、1aは各従局21a...からフィールドデータを収集する集中監視装置(主局)、11は伝送路4とデータの授受を行う伝送制御部、12aは制御部、13はデータを格納するメモリ部、16は外部から各種情報を受け取る入力部、31は伝送路4とデータの授受を行う従局21aの伝送制御部、32aは従局21aの制御部、33は従局21aのメモリ部、35は外部からフィールドデータを受け取る入出力部である。また、第6図はデータ伝送の様子を示すタイミング図である。

次に動作について説明する。まず、主局1aで各従局21a...の動作条件を設定し、その動作条件を各従局21a...に対して送出する(第6図①~③)。そして、主局1aは各従局21a...にポーリング信号(POL)を送出し(第6図④~⑥)、

これに応じて各従局 21a、…は、各従局 21a、…が管理している外部機器（図示せず）の状態等を示すフィールドデータを、伝送制御部 31 を用いて主局 1a に送出する。動作中に、ある従局 21a が停電等により動作条件の再設定が必要となった場合には、ポーリング信号に応じて設定要求信号を主局 1a に送出する（第 6 図の）。そして、主局 1a は従局 21a に再度動作条件を送出する。

第 7 図は従来のデータ伝送システムをさらに詳細に示したものである。第 7 図において、12a は制御部（以下、CPU という。）、13 はプログラムおよびデータを格納するメモリ部、14 は自身の外部機器 15 に関するパラメータを格納した不揮発性メモリ、16 は入力部、17 はキーボードである。そして、各従局 21a～21n において、32a は従局 21a～21n の CPU、33 はプログラムおよびデータを格納するメモリ部、34 は従局 21a～21n に管理される外部機器、35 は外部機器 34 とデータのやりとりを行う入出力部、36 はアナログ入出力用のパラメータを格納する不揮発性メ

で各従局 21a～21n に動作条件を送出する（ステップ ST32）。この後は、各従局 21a～21n に送るべきデータがあれば、そのデータを、動作条件を送出した場合と同様な動作を行って送出する（ステップ ST34、ST35）。送るべきデータがなければ、ポーリング送信のみ行う（ステップ ST36）。そして、各従局 21a～21n からデータを受信したら（ステップ ST37）、伝送制御部 11 の CPU 111 はこのデータを共有メモリ 116 に書き込む。そして、CPU 12a はこの共有メモリ 116 からデータを受け取る（ステップ ST38）。なお、任意の従局 21a～21n から動作条件の設定要求信号を受けた場合には（ステップ ST33）、CPU 12a は共有メモリ 116 を介してその信号を入手し、その信号に応じて、該当する従局 21a～21n の動作条件を共有メモリ 116 に書き込み、伝送制御部 11 に送信させる（ステップ ST39）。

第 10 図は各従局 21a～21n の入出力部 35 のアナログ入力を処理する部分を示したものである。第 10 図において、351 は外部機器 34 が出力し

モリである。また、第 8 図は伝送制御部 11 の構成をさらに詳細に示したもので、第 8 図において、111 は伝送制御部 11 の CPU、112 はプログラムを格納した ROM、113 はデータが格納される RAM、114 は伝送制御を行う伝送コントローラ、115 は伝送路 4 と接続するためのドライバ／レシーバ、116 は CPU 12a とデータの交換を行うための共有メモリ、117 はバスインタフェースである。

次に主局 1a の動作について第 9 図に示したフローチャートを参照して説明する。動作開始時には、CPU 12a が共有メモリ 116 に初期設定データを書き込む。伝送制御部 11 の CPU 111 はバスインタフェース 117 を介してこのデータを読み取って、伝送制御部 11 の初期設定を行う（ステップ ST31）。次に、CPU 12a はキーボード 17 から入力された各従局 21a～21n の動作条件を共有メモリ 116 に書き込む。すると、CPU 111 はこのデータを読み取って RAM 113 に格納する。そして、RAM 113 内のデータを伝送コントローラ 114 に与える。伝送コントローラ 114 は所定のタイミング

たアナログ信号を入力する演算増幅器、352 は複数の演算増幅器 351 の出力を順次選択するアナログスキャナ、353 はアナログスキャナ 352 の出力を増幅するプログラマブルゲインコントローラ（PGC）である。なお、演算増幅器 351 の増幅率は「1」である。354 は PGC 353 の出力をデジタル変換する A-D コンバータ、355a は入出力部 35 の制御部、356 は CPU 32a とデータ交換するための共有メモリ、357 はバスインタフェースである。

次にこの入出力部 35 の動作について説明する。PGC 353 の各アナログ入力に応じた増幅率や A-D コンバータ 354 に関するパラメータは、あらかじめ不揮発性メモリ 36 に格納されている。そして、CPU 32a の制御の下に、この不揮発性メモリ 36 のパラメータは共有メモリ 356 を介して入出力部 35 の制御部 355a に伝えられる。制御部 355a は、アナログスキャナ 352 を順次切換えてアナログ入力を通させ、PGC 353 のゲインをその入力に対応して所定値に設定し、A-D コンバータ 354 の量子化ステップを設定する等の処理を行う。

この結果、アナログ入力に所定のスケール変換を施されたデジタル値となり、このデジタル値は共有メモリ356を介してCPU32a側に送られる。そして、CPU32aは主局1aのボーリング信号に応じて、このデジタル値を主局1aに送出する。

〔発明が解決しようとする課題〕

従来のデータ伝送システムは以上のように構成されているので、主局1aの立上げ時にキーボード17を使用して、あるいは外部のコンピュータ等から自動で各従局21a~21nの初期設定データを入力しなければならず、システムの立上げに時間がかかるという課題があった。また、従局21a~21nにおけるアナログ入力に関するパラメータは不揮発性メモリ36に格納されているので、通常設置環境がよくない従局21a~21nにおいてパラメータの初期入力作業や変更作業を行わなければならない、それらの作業にも長時間を要するという課題があった。

この発明は上記のような課題を解消するためになされたもので、システムの立上げをより迅速に

行えるとともに、アナログ入力に関するパラメータの入力や変更が容易に行えるデータ伝送システムを得ることを目的とする。

〔課題を解決するための手段〕

この発明に係るデータ伝送システムは、各従局に、各従局に入力するアナログ入力に関するパラメータを主局から受信して受信したパラメータによってアナログ入力の入力部のパラメータ設定を行うパラメータ設定部を設け、主局に、各従局の初期設定データを格納する不揮発性メモリと、不揮発性メモリ内の初期設定データを各従局に送信する初期設定手段とを設けたものである。

〔作用〕

この発明における主局の不揮発性メモリは、各従局のアナログ入力に関するパラメータを含む初期設定データを格納しているので、システム立上げ時の各従局に対する初期設定を高速化させるとともに、各従局のアナログ入力に関するパラメータの保守を容易化させる。

〔実施例〕

以下、この発明の一実施例を図について説明する。第1図において、14は各従局2a~2nのアナログ入力に関するパラメータを含む各従局2a~2nの初期設定データを格納した半導体メモリの不揮発性メモリ、12はこの不揮発性メモリ14や伝送制御部11の制御を行うCPUである。なお、初期設定手段はCPU12とメモリ部13に格納されたプログラムで実現されている。その他のものは同一符号を付して第7図に示したものと同一のものである。そして、各従局2a~2nにおいて、従来の従局21a~21nに設けられていた不揮発性メモリ36は必要ではない。また、第2図は主局1の詳細な構成を示したものであり、第3図は主局1の動作を示すフローチャートである。

次に動作について説明する。各従局2a~2nのアナログ入力に関するパラメータを含む各従局2a~2nの初期設定データは端末器(図示せず)を用いて主局1に入力される。そして、主局1の不揮発性メモリ14に格納される。主局1の電源投入時には、CPU12から自局の初期設定データが

共有メモリ116に書き込まれ、伝送制御部11のCPU111はそのデータを読み出して伝送制御部11の初期設定を行う(ステップST11)。続いて、各従局2a~2nをシステムに参入させるために、各従局2a~2nの初期設定データを不揮発性メモリ14から読み出して、共有メモリ116に書き込む。すると、CPU111は共有メモリ116からそのデータを読み出して、伝送コントローラ114およびドライバ/レシーバ115を介して、順次伝送路4に送出する(ステップST12)。各従局2a~2nは、自局宛ての初期設定データを受け取って、自局の初期化を行う。このようにして、各従局2a~2nはシステムに参入する。

主局1において、各従局2a~2nに送信すべきデータがある場合には、CPU12は送信データを共有メモリ116に書き込む。そして、伝送制御部11のCPU111はそのデータを一旦RAM113に格納する。CPU111は、そのデータを送る従局2a~2nにアクセスするタイミングとなったら、そのデータをRAM113から読み出して伝送コントロ

ーラ114およびドライバ／レシーバ115を介して伝送路4に送出する(ステップST14、ST15)。その時、送るべきデータがなければ、ボーリング信号のみ送出する(ステップST16)。

従局2a~2nの伝送制御部31で、主局1から送信されてきた送信データまたはボーリング信号を受け取った時には、従局2a~2nは外部機器34から入力したデータを主局1に対して送信する。主局1では、そのデータをドライバ／レシーバ115および伝送コントローラ114を介して受け取り、一旦RAM113に格納する。そして、伝送制御部11のCPU111はRAM113内のデータを共有メモリ116に書き込む。CPU12は共有メモリ116からそのデータを読み出す。このようにして、従局2a~2nで収集したフィールドデータはCPU12に受け取られる(ステップST17、ST18、ST20)。

そして、ある従局2a~2n、例えば従局2aに障害が発生すると、その従局2aはシステムから分離することになる。CPU12は伝送制御部11を通じてこれを知り、所定の障害処理を行った後

に外部機器15に警報表示を行う(ステップST13、ST22)。オペレータがこの警報表示を認識して、所定の確認操作を行うと、CPU12は伝送制御部11に再立上げコマンドの送信指示を与え、伝送制御部11は再立上げコマンドを伝送路4に送出する(ステップST23、ST24)。再立上げコマンドは障害が発生した従局2aが初期化要求レスポンスを送出するまで繰り返して行う。そして、従局2aの障害が復旧し、従局2aが再立上げコマンドを受信すると初期化要求レスポンスを送出する。すると、CPU12は伝送制御部11を介してこのレスポンスを受け取って、不揮発性メモリ14に格納されている従局2aの初期設定データを共有メモリ116に書き込んで、伝送制御部11に送出させる(ステップST25)。このように、主局1主導で従局2aをシステムに再参入させる方が、従来の場合よりも、主局1における制御プログラムを簡略化することができる。つまり、従来の場合では、従局2aから任意の時刻に初期化要求レスポンスを送出できるので、主局1が障

害処理動作へ移行する途中で初期化要求レスポンスを受け取る場合がある。この場合には、初期化要求をどの時点で受け付けるかによって、障害処理動作へ移行するか、移行を中断して初期化要求に応じた処理を行うかの設定が必要となり、制御プログラムは複雑になってしまう。

第4図は従局2a~2nの入出力部35のアナログ入力に関する部分を示したものである。その構成は、第10図に示したものと同様であるが、この場合には、アナログ入力に関するパラメータは、CPU32が初期設定時に主局1から受けてメモリ部33に格納されている。そして、このメモリ部33から入出力部35の制御部355に与えられる。さらに、パラメータの変更を要する場合には、主局1において、端末器(図示せず)によって不揮発性メモリ14の内容を書き換え、CPU12が書き換え後の不揮発性メモリ14の内容を送信データとして共有メモリ116に書き込む。そして、伝送制御部11のCPU111がこのデータを読み取って伝送路4に送出する。従局2a~2nのCPU32

は、このデータを受け取って、バスインタフェース357および共有メモリ356を介して入出力部35の制御部355に与える。こうして、従局2a~2nにおいてアナログ入力に関するパラメータが更新されたことになる。

一方、パラメータは従局2a~2nでも従来の場合と同様に変更可能である。従局2a~2nにおいて端末器(図示せず)を使用してパラメータの変更を行った場合には、従局2a~2nのCPU32は変更後のパラメータをメモリ部33から読み出して、フィールドデータを送出した場合と同様に主局1に送出する。

主局1はこれを受信して、不揮発性メモリ14の書き換え処理を行う(第3図のステップST21)。

なお、上記実施例において、各従局2a~2nの初期設定データは不揮発性メモリに格納されているが、不測の事象により不揮発性メモリの内容が破壊された場合を考慮して、端末器によってその内容を外部補助メモリに保存しておいてもよい。

また、上記実施例では端末器によって主局1に

初期設定データを入力するようにしたが、主局1にICカードインタフェースを設けて、初期設定データをICカードに保存しておき、初期設定時のみそのICカードを使用するようにすれば、より容易に初期設定データの入力と保存とを行うことができる。そして、ICカードを主局1に常備するようにすれば、従局2a~2nからの初期化要求にもこのICカードで応じることができ、不揮発性メモリ14は不要となる。

〔発明の効果〕

以上のように、この発明によればデータ伝送システムを、従局には、主局からパラメータを受信してアナログ入力の入力部のパラメータ設定を行うパラメータ設定部を設け、主局には、各従局の初期設定データを格納する不揮発性メモリと、各従局に対してアナログ入力に関するパラメータを含む初期設定データを送信する初期設定手段とを設けて構成したので、設置環境がよくない従局においてアナログ入力に関するパラメータを入力する必要がなくなって保守が容易になるとともに、

システム立上げ時の各従局に対する初期設定に要する時間を短縮できるものが得られる効果がある。

4. 図面の簡単な説明

第1図はこの発明の一実施例によるデータ伝送システムを示す構成図、第2図は第1図に示した伝送制御部の詳細な構成を示すブロック図、第3図は主局の動作を示すフローチャート、第4図は従局の入出力部を示すブロック図、第5図は従来のデータ伝送システムを示す構成図、第6図はデータ伝送の様子を示すタイミング図、第7図は従来のデータ伝送システムをさらに詳細に示した構成図、第8図は第7図に示した伝送制御部の構成を示すブロック図、第9図は従来の主局の動作を示すフローチャート、第10図は従来の従局の入出力部を示すブロック図である。

1は主局（集中監視装置）、11は伝送制御部、12はCPU、14は不揮発性メモリ、2a~2nは従局、32はCPU、34は外部機器、35は入出力部、4は伝送路。

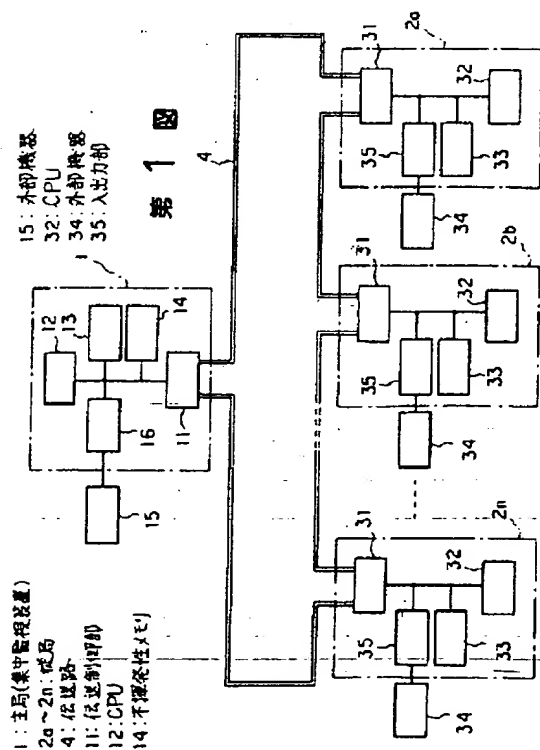
なお、図中、同一符号は同一、または相当部分

を示す。

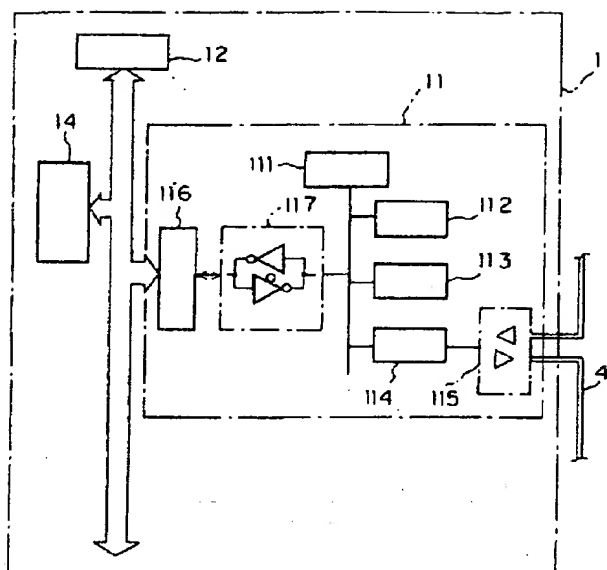
特許出願人 三菱電機株式会社

代理人 弁理士 田 澤 博 昭

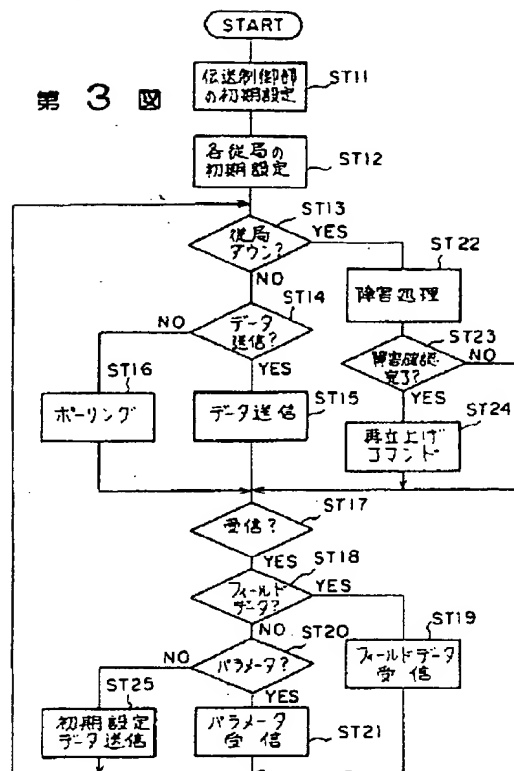
(外2名)



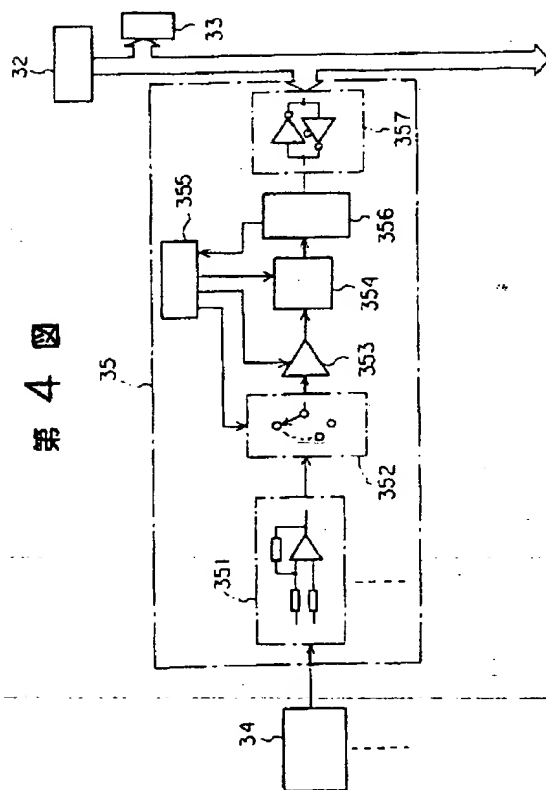
第 2 圖



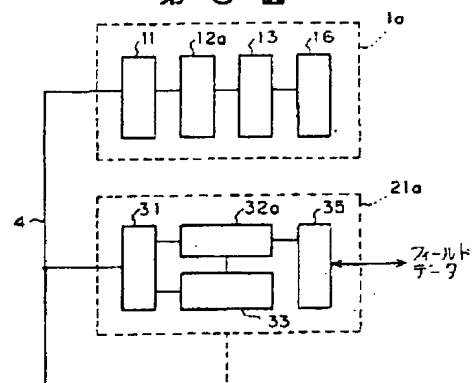
第 3 図



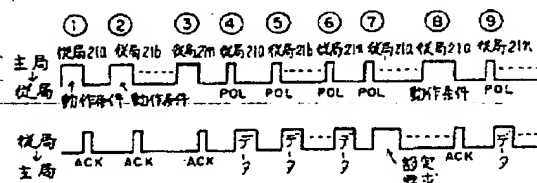
四
十
張



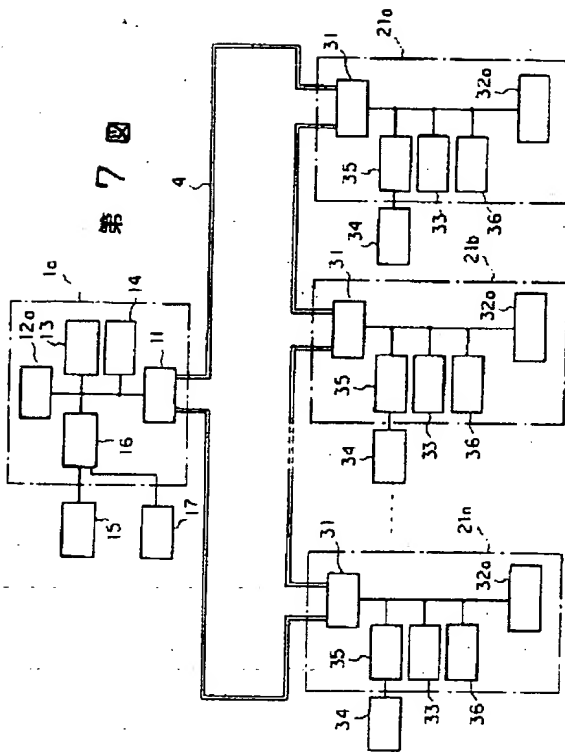
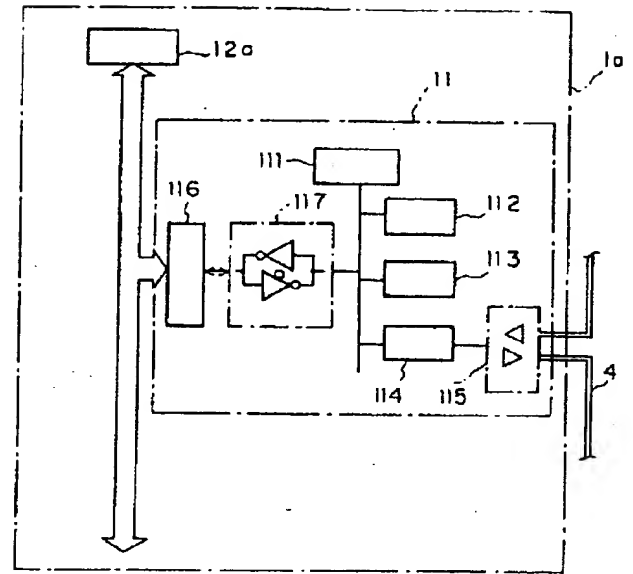
第 5 圖



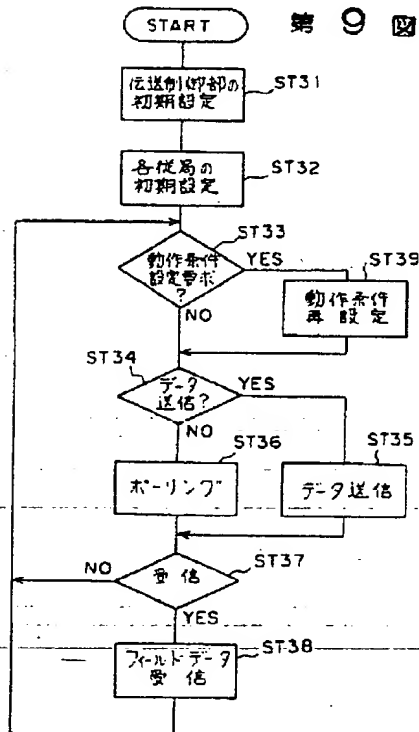
第 6 图



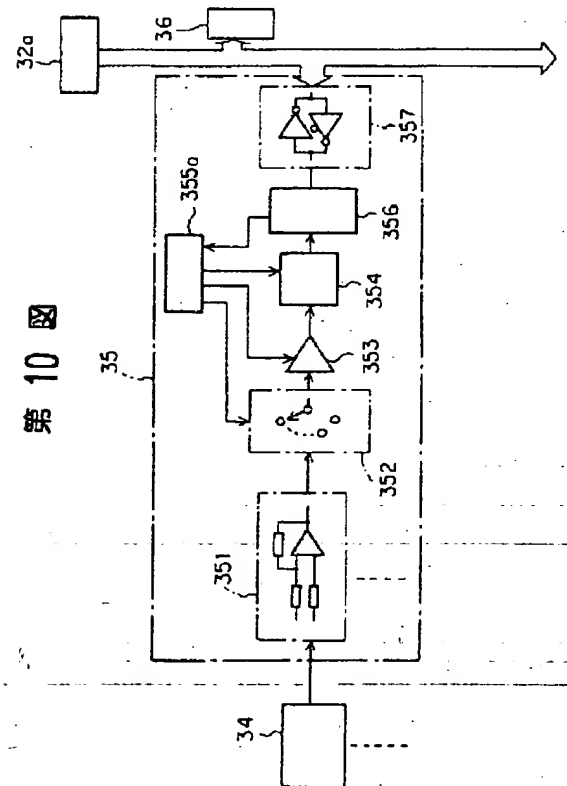
第 8 図



第 9 図



第 10 図



手続補正書(自発)

平成 2.3.10
昭和 年 月 日

特許庁長官殿

1. 事件の表示

特願第 1-320850 号

2. 発明の名称

データ伝送システム

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601)三菱電機株式会社
代表者 志 岐 守 哉

4. 代 理 人

郵便番号 105
住 所 東京都港区西新橋1丁目4番10号
第3森ビル3階
氏 名 (6647)弁理士 田 澤 博 昭
電話 03(591)5095番

5. 補正の対象

明細書の発明の詳細な説明の欄

方式 明
審 査



6. 補正の内容

明細書第3頁第9行から同頁第10行に「第7図は従来のデータ伝送システムをさらに詳細に示したものである。」とあるのを「第7図は従来のデータ伝送システムの他の実施例を詳細に示したものである。」と補正する。

以 上

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.